

COPY OF PAPERS
ORIGINALLY FILED

PATENT
Docket No. JCLA8579
page 1 2814

#2
IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : KENT KUOHUA CHANG et al.

Application No. : 10/099,800

Filed : March 13,2002

METHOD FOR SUPPRESSING SHORT
CHANNEL EFFECT OF A
For : SEMICONDUCTOR DEVICE

Examiner :

Certificate of Mailing
I hereby certify that this correspondence
and all marked attachments are being
deposited with the United States Postal
Service as certified first class mail in an
envelope addressed to: Assistant
Commissioner for Patents, Washington,
D.C. 20231, on

June 25, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 91102058 filed on
February 06, 2002.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees
required, including any fees for additional extension of time, or credit overpayment to Deposit
Account No. 50-0710 (Order No. JCLA8579).

Date: 6/25/2002

By:

Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

50478579

10/099,800



TECHNOLOGY CENTER 2600

JUL - 2 2002



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

COPY OF PAPERS
ORIGINALLY FILED

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 02 月 06 日

Application Date

申請案號：091102058

Application No.

申請人：旺宏電子股份有限公司

Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 4 月 29 日
Issue Date

發文字號：
Serial No. 09111007255

申請日期	
案號	
類別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中文	抑制半導體元件之短通道效應的方法
	英文	
二、發明 人 創作	姓名	張國華
	國籍	中華民國
	住、居所	台北市延吉街 66-1 號 4 樓
三、申請人	姓名 (名稱)	旺宏電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路十六號
代表人 姓名	胡定華	

裝訂線

四、中文發明摘要（發明之名稱：抑制半導體元件之短通道效應的方法）

一種抑制半導體元件之短通道效應的方法，此方法係首先提供一基底，並且基底上形成一閘極結構。接著在閘極結構兩側之基底中形成一源極/汲極延伸區與一源極/汲極區。之後，緊接著進行一口袋型離子植入步驟，以在源極/汲極延伸區之底下形成一口袋型摻雜區。在形成源極/汲極延伸區、源極/汲極區以及口袋型摻雜區之後，進行一快速熱製程。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

英文發明摘要（發明之名稱：

五、發明說明(一)

本發明是有關於一種抑制半導體元件之短通道效應(Short Channel Effect)的方法，且特別是有關於一種利用口袋型離子植入步驟(Pocket Implantation)以抑制半導體元件之短通道效應的方法。

隨著積體電路積集度的日益提升，半導體元件之尺寸亦隨之縮小。當金氧半導體(Metal Oxide Semiconductor, MOS)電晶體之尺寸縮小時，其通道長度亦必須隨之縮小。然而，MOS 電晶體的通道尺寸不能無限制的縮減。當其長度縮小到某一定的程度時，各種因通道長度變小而衍生之問題便會發生，這個現象便稱為短通道效應。而所謂的短通道效應除了會造成元件啓始電壓(V_t)下降以及閘極電壓(V_g)對 MOS 電晶體的控制發生問題之外，另一熱電子效應的現象也將隨著通道尺寸的縮短而影響 MOS 電晶體之操作。習知對於抑制半導體元件之短通道效應的方法已有許多研究，其中一種就是利用於源極/汲極延伸區之底下形成一反態的摻雜區，以抑制短通道效應。其詳細之敘述如下。

第 1A 圖至第 1E 圖所示，其繪示為習知一種半導體元件的製造流程剖面示意圖。

請參照第 1A 圖，首先提供一基底 100。接著於基底 100 上形成一閘極結構 106，其中此閘極結構 106 包括一閘氧化層 102 與一閘極導電層 104。之後，以閘極結構 106 為植入罩幕，進行一離子植入步驟 107，以在閘極結構 106 兩側之基底 100 中形成一源極/汲極延伸區 108。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(乙)

接著，請參照第 1B 圖，在閘極結構 106 之側壁上形成一間隙壁 110。並且以間隙壁 110 與閘極結構 106 為植入罩幕，進行一離子植入步驟 111，以在間隙壁 110 兩側之基底 100 中形成一源極/汲極區 112。

之後，請參照第 1C 圖，進行一第一熱製程。其中，第一熱製程係針對源極/汲極延伸區 108 與源極/汲極區 112 所進行的一回火步驟，藉以修補於進行離子植入步驟 107、111 時所造成的晶格缺陷。

然後，請參照第 1D 圖，進行一口袋型離子植入步驟 (Pocket Implantation，又稱為 Halo Implantation)114，以在源極/汲極延伸區 108 之底下形成一口袋型摻雜區 116。其中，口袋型摻雜區 116 中所植入之離子型態係為與源極/汲極延伸區 108 及源極/汲極區 112 中所摻雜之離子型態相反，用以抑制半導體元件之短通道效應。對於一 N 通道金氧半導體(NMOS)電晶體而言，習知方法中通常是使用硼(Boron)離子摻雜於口袋型摻雜區 116。

接著，請參照第 1E 圖，進行一第二熱製程。其中，第二熱製程係針對口袋型摻雜區 116 所進行的一回火步驟，藉以修補於進行口袋型離子植入步驟 114 時所造成的晶格缺陷。

雖然習知對於抑制半導體元件之短通道效應的方法已有許多研究，其中一種就是如上所述之利用於源極/汲極延伸區之底下形成一反態的摻雜區，藉以抑制短通道效應。然而，於習知之方法中，並無提及有關藉由減低口袋

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

型摻雜區中之離子擴散現象，可有效的抑制短通道效應之方法。

再者，於上述抑制半導體元件之短通道效應的方法中，其於形成源極/汲極延伸區與源極/汲極區之後所進行的第一熱製程，將會修補於離子植入步驟時所造成之晶格缺陷。如此一來，後續在形成口袋型摻雜區之後所進行的第二熱製程，將使口袋型摻雜區中所摻雜的離子產生擴散。

另外，習知對於 NMOS 電晶體而言，於口袋型摻雜區中所摻雜的離子通常是使用硼離子，藉以抑制短通道效應。然而，由於硼離子於矽晶格之中仍擴散的相當快。因此，對於抑制短通道效應的功效實在有限。

因此，本發明的目的就是提供一種抑制半導體元件之短通道效應的方法，其係利用減少口袋型摻雜區中離子擴散之情形，以抑制半導體元件之短通道效應。

本發明的另一目的是提供一種抑制半導體元件之短通道效應的方法，以使口袋型摻雜區中之離子不會因後續所進行之熱製程而產生擴散。

本發明提出一種抑制半導體元件之短通道效應的方法，此方法係首先提供一基底，並且在此基底上形成一閘極結構。接著，以閘極結構為植入罩幕進行第一離子植入步驟，以在閘極兩側之基底中形成一源極/汲極延伸區。其中，第一離子植入步驟所植入之離子可以是銻(Antimony)離子或砷(Arsenic)離子。之後，在閘極結構之側壁上形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

一間隙壁，並且以閘極結構與其兩側之間隙壁為植入罩幕，進行一第二離子植入步驟，以在間隙壁兩側之基底中形成一源極/汲極區。於形成源極/汲極延伸區與源極/汲極區之後，緊接著進行一口袋型離子植入步驟，以在源極/汲極延伸區之底下形成一口袋型摻雜區。其中，此口袋型離子植入步驟所植入之離子係為銦(Indium)離子。在形成口袋型摻雜區之後，進行一快速熱製程，其係同時對源極/汲極延伸區、源極/汲極區以及口袋型摻雜區所進行一回火步驟。

本發明之抑制半導體元件之短通道效應的方法，由於在形成源極/汲極延伸區與源極/汲極區之後並未進行一熱製程，因此於離子植入步驟中所造成的晶格缺陷並未被修補。而此晶格缺陷會使後續口袋型摻雜區中之雜質陷於其中，因此可降低口袋型摻雜區中之離子因後續所進行之熱製程而產生的擴散現象。

本發明之抑制半導體元件之短通道效應的方法，其於口袋型摻雜區中所植入之離子係以銦離子來取代習知的硼離子。由於銦離子較硼離子重，擴散之速度會比較慢，因此，可有效的減低口袋型摻雜區擴散之現象。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1E 圖為習知一種半導體元件之製造流程

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

剖面示意圖；以及

第 2A 圖至第 2C 圖是依照本發明一較佳實施例之半導體元件之製造流程剖面示意圖。

圖式之標示說明：

100、200：基底

102、202：閘氧化層

104、204：閘極導電層

106、206：閘極結構

107、207：離子植入步驟

108、208：源極/汲極延伸區

110、210：間隙壁

111、211：離子植入步驟

112、212：源極/汲極區

114、214：口袋型離子植入步驟

116、216：摻雜區

實施例

第 2A 圖至第 2C 圖，其繪示為依照本發明一較佳實施例之半導體元件之製造流程剖面示意圖。

請參照第 2A 圖，首先提供一基底 200。其中，基底 200 例如是一 P 型矽基底。接著，於基底 200 上形成一閘極結構 206，其中閘極結構 206 包括一閘氧化層 202 與一閘極導電層 204。且閘極導電層 204 之材質例如是多晶矽。

之後，以閘極結構 206 為植入罩幕，進行一離子植入步驟 207，以在閘極結構 206 兩側之基底 200 中形成一源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(七)

極/汲極延伸區 208。其中，源極/汲極延伸區 208 中所植入之離子係為一 N 型雜質。此 N 型雜質例如是鎢離子或砷離子。而離子植入步驟 207 之離子植入能量例如為 10 keV 左右。離子植入步驟 207 之離子植入劑量例如為 $3 \times 10^{14} /cm^2$ 左右。

之後，請參照第 2B 圖，在閘極結構 206 之側壁上形成一間隙壁 210。其中形成間隙壁 210 之方法例如是先於基底 200 上形成一共形的介電層，之後回蝕刻此共形之介電層而形成。

接著，以閘極結構 206 與間隙壁 210 為植入罩幕，進行一離子植入步驟 211，以在間隙壁 210 兩側之基底 200 中形成一源極/汲極區 212。其中，源極/汲極區 212 中所植入之離子係與源極/汲極延伸區 208 中所植入之離子相同，如前所述，源極/汲極區 212 中所植入之離子例如是鎢離子或砷離子。

然後，請參照第 2C 圖，在形成源極/汲極延伸區 208 與源極/汲極區 210 之後，緊接著進行一口袋型離子植入步驟 214，以在源極/汲極延伸區 208 底下形成一口袋型摻雜區 216。其中，口袋型摻雜區 216 中所摻雜的離子係為一 P 型雜質。在本實施例中，口袋型摻雜區 216 中所摻雜之離子係為銻離子。而口袋型離子植入步驟 214 之植入能量例如為 60 keV 左右。口袋型離子植入步驟 214 之植入劑量例如為 $1 \times 10^{13} /cm^2$ 左右。口袋型離子植入步驟 214 之植入角度例如為 30 度左右。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(一)

在形成口袋型摻雜區 216 之後，進行一熱製程，此熱製程係同時對源極/汲極延伸區 208、源極/汲極區 212 以及口袋型摻雜區 216 所進行一回火步驟，藉以修補於上述之離子植入步驟 207、211、214 所造成的晶格缺陷。其中，此熱製程例如是一快速熱製程，且其係於攝氏 900 度之溫度條件下進行 10 秒鐘。

由於本發明在形成源極/汲極延伸區 208 與源極/汲極區 212 之後，並未進行一熱製程。因此，於形成源極/汲極延伸區 208 與源極/汲極區 212 時之離子植入步驟 207、211，其所造成的晶格缺陷並未被修補。而當後續於形成口袋型摻雜區 216 時，由於所植入之銻離子會陷於上述之晶格缺陷之中，因此，當後續在進行熱製程時，就可有效的抑制銻離子之擴散。

另外，由於本實施例於口袋型摻雜區 216 中所摻雜之之 P 型雜質係為銻離子，由於銻離子較習知硼離子重，銻離子之擴散速率較硼離子慢，因此以銻離子取代硼離子作為口袋型摻雜區 216 中之雜質，可使減低口袋型摻雜區 216 之擴散現象。

綜合以上所述，本發明具有下列優點：

1. 本發明之抑制半導體元件之短通道效應的方法，由於在形成源極/汲極延伸區與源極/汲極區之後並未進行一熱製程，因此於離子植入步驟中所造成的晶格缺陷並未被修補。而此晶格缺陷會使後續口袋型摻雜區中之雜質陷於其中，因此可降低口袋型摻雜區中之離子因後續所進行之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

熱製程而產生的擴散現象。

2. 本發明之抑制半導體元件之短通道效應的方法，其於口袋型摻雜區中所植入之離子係以銻離子來取代習知的硼離子。由於銻離子較硼離子重，擴散之速度會比較慢，因此，可有效的減低口袋型摻雜區擴散之現象。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種抑制半導體元件之短通道效應的方法，包括下列步驟：

在一基底上形成一閘極結構；

在該閘極結構兩側之該基底中形成一源極/汲極延伸區與一源極/汲極區；

進行一口袋型離子植入步驟，以在該源極/汲極延伸區之底下形成一口袋型摻雜區；以及

進行一快速熱製程，以使該源極/汲極延伸區、該源極/汲極區與該口袋型摻雜區進行一回火步驟。

2. 如申請專利範圍第 1 項所述之抑制半導體元件之短通道效應的方法，其中該源極/汲極延伸區與該源極/汲極區中所植入之雜質係為一 N 型雜質。

3. 如申請專利範圍第 2 項所述之抑制半導體元件之短通道效應的方法，其中該 N 型雜質係選自銻離子與砷離子其中之一。

4. 如申請專利範圍第 2 項所述之抑制半導體元件之短通道效應的方法，其中形成該源極/汲極延伸區之一離子植入能量係為 10 keV 左右。

5. 如申請專利範圍第 2 項所述之抑制半導體元件之短通道效應的方法，其中形成該源極/汲極延伸區之一離子植入劑量係為 $3 \times 10^{14} / \text{cm}^2$ 左右。

6. 如申請專利範圍第 1 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型摻雜區中所摻雜的雜質係為一 P 型雜質。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝——訂——線

六、申請專利範圍

7.如申請專利範圍第 6 項所述之抑制半導體元件之短通道效應的方法，其中該 P 型雜質包括銦離子。

8.如申請專利範圍第 7 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型離子植入步驟之一植入能量係為 60 keV 左右。

9.如申請專利範圍第 7 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型離子植入步驟之一植入劑量係為 $1 \times 10^{13} / \text{cm}^2$ 左右。

10.如申請專利範圍第 7 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型離子植入步驟之一植入角度係為 30 度左右。

11.如申請專利範圍第 1 項所述之抑制半導體元件之短通道效應的方法，其中該快速熱製程係於攝氏 900 度之溫度條件下進行 10 秒鐘。

12.一種抑制半導體元件之短通道效應的方法，包括下列步驟：

在一基底上形成一閘極結構；

以該閘極結構為罩幕進行第一離子植入步驟，以在該基底中形成一源極/汲極延伸區；

在該閘極結構之側壁形成一間隙壁；

以該間隙壁為罩幕進行第二離子植入步驟，以形成一源極/汲極區；

在形成該源極/汲極延伸區與該源極/汲極區之後，進行一口袋型離子植入步驟，以在該源極/汲極延伸區之底

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

下形成一口袋型摻雜區；以及

在形成該口袋型摻雜區之後，進行一快速熱製程，以使該源極/汲極延伸區、該源極/汲極區與該口袋型摻雜區進行一回火步驟。

13.如申請專利範圍第 12 項所述之抑制半導體元件之短通道效應的方法，其中該源極/汲極延伸區與該源極/汲極區中所植入之離子係選自鎢離子與砷離子其中之一。

14.如申請專利範圍第 12 項所述之抑制半導體元件之短通道效應的方法，其中該第一離子植入步驟之一植入能量係為 10 keV 左右。

15.如申請專利範圍第 12 項所述之抑制半導體元件之短通道效應的方法，其中該第一離子植入步驟之一植入劑量係為 $3 \times 10^{14} / \text{cm}^2$ 左右。

16.如申請專利範圍第 12 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型摻雜區中所植入之離子包括銦離子。

17.如申請專利範圍第 16 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型離子植入步驟之一植入能量係為 60 keV 左右。

18.如申請專利範圍第 16 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型離子植入步驟之一植入劑量係為 $1 \times 10^{13} / \text{cm}^2$ 左右。

19.如申請專利範圍第 16 項所述之抑制半導體元件之短通道效應的方法，其中該口袋型離子植入步驟之一植入

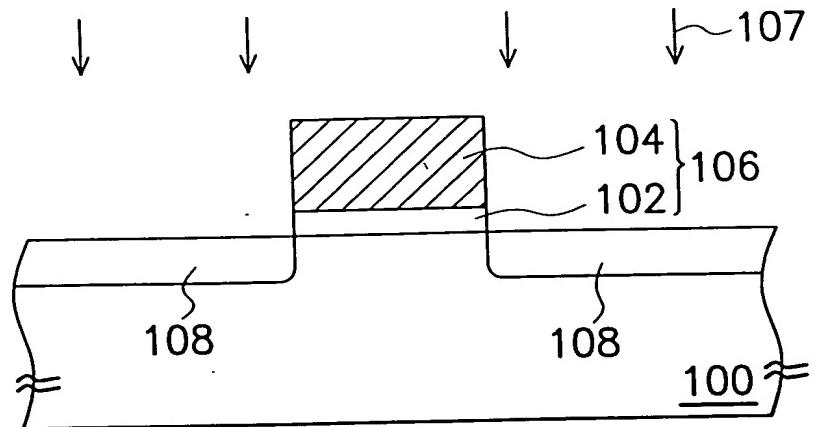
六、申請專利範圍

角度係為 30 度左右。

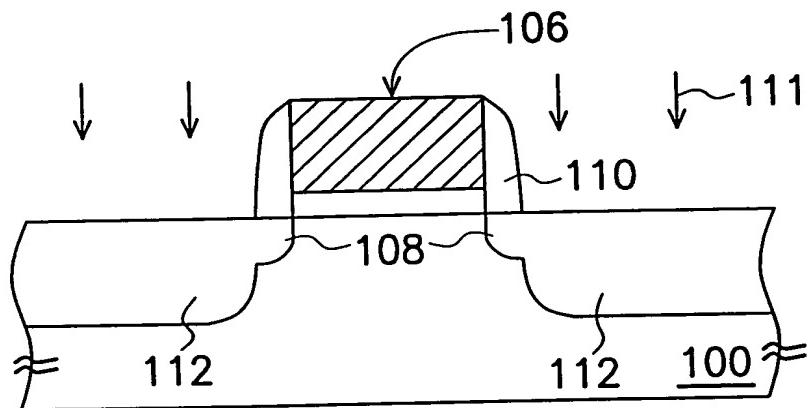
20.如申請專利範圍第 12 項所述之抑制半導體元件之短通道效應的方法，其中該快速熱製程係於攝氏 900 度之溫度條件下進行 10 秒鐘。

(請先閱讀背面之注意事項再填寫本頁)

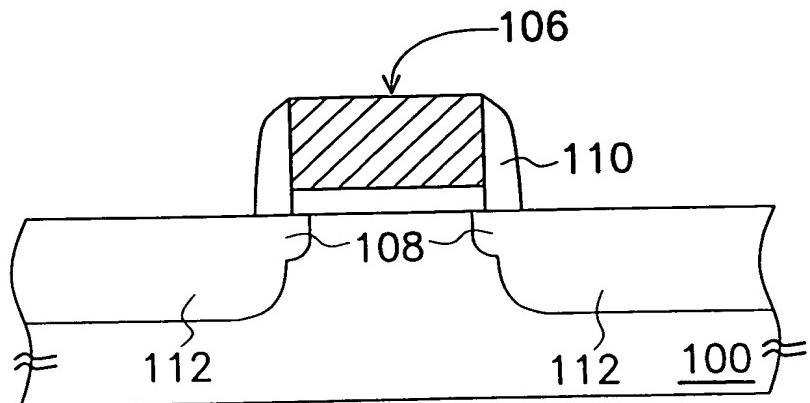
裝
訂
線



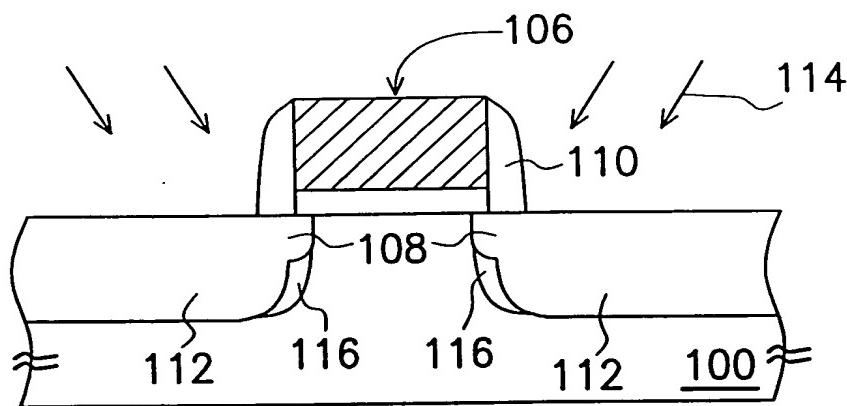
第 1A 圖



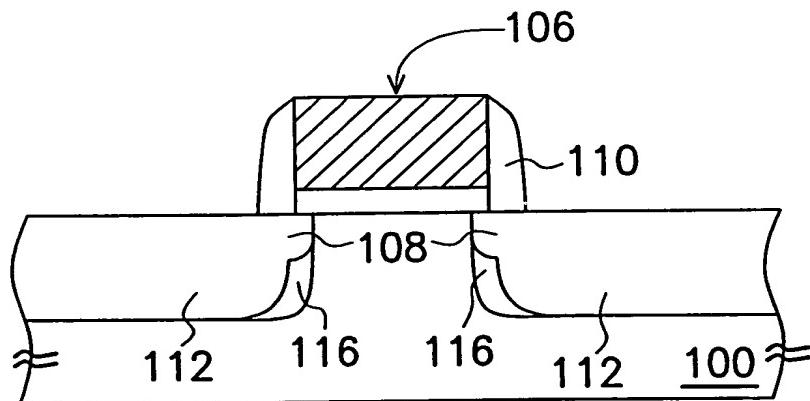
第 1B 圖



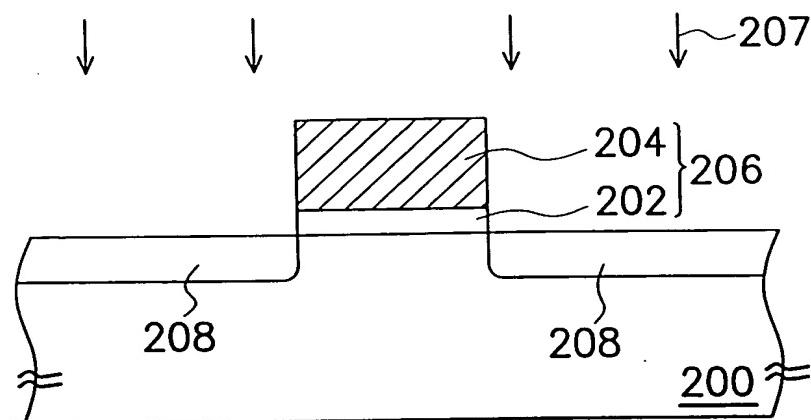
第 1C 圖



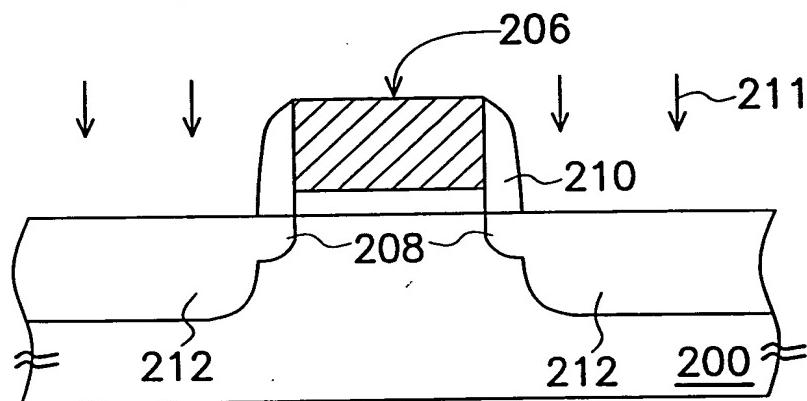
第 1D 圖



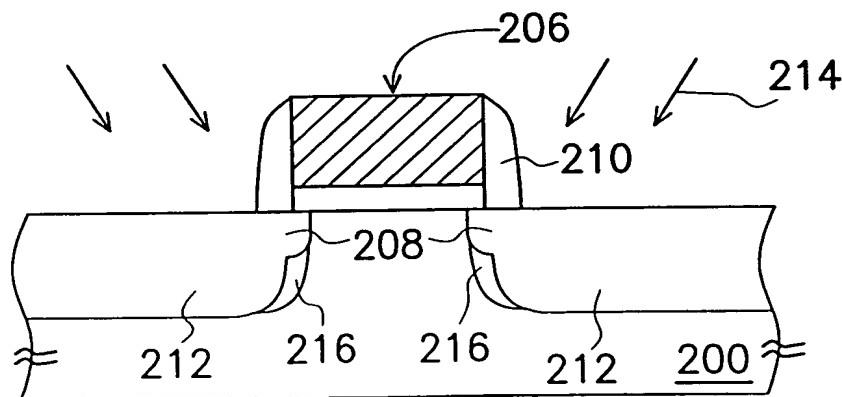
第 1E 圖



第 2A 圖



第 2B 圖



第 2C 圖